

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-024244

(43)Date of publication of application : 07.02.1984

(51)Int.Cl.

G01N 27/30

(21)Application number : 57-133686

(71)Applicant : HITACHI LTD

(22)Date of filing : 02.08.1982

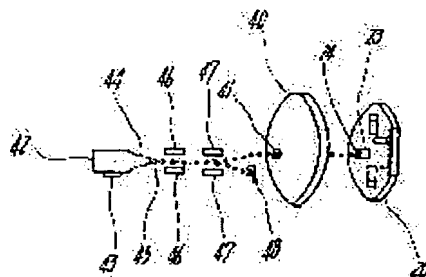
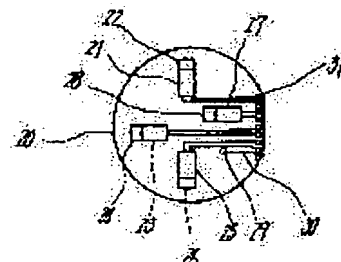
(72)Inventor : MIYAGI HIROYUKI
MARUIZUMI TAKUYA
TAKADA YOSHITADA

(54) FIELD EFFECT TRANSISTOR TYPE MULTI-ION SENSOR AND PREPARATION THEREOF

(57)Abstract:

PURPOSE: To form a plurality of responsive gates independently, by a method wherein a liquid prepared by dissolving ion responsive substance in a proper solvent along with a film matrix material is blown to a gate by an ink jet system to be repeatedly applied thereto in such a manner that the kind of the ion responsive substance is variously changed.

CONSTITUTION: A first unit 21 has a gate 21 for a comparison electrode and said gate is coated with an org. polymer film not responsive to an ion. Each gates of other sensor units 23, 25, 27 are coated with ion selecting films respectively responsive to a different kind of ions. The coating of each ion selecting film is performed by such a method that liquid droplets 45 are intermittently blown out from a nozzle 44 and, after passed through charging electrodes 46, the charged liquid droplets are blown out between polarization electrodes 47. In general, voltage is applied to the charging electrodes 46 and the polarization electrodes 47 and the liquid droplets are guided to a gutter 48. By pulsewise cutting off voltage applied to the charging electrodes 46, the liquid droplets are guided to the objective gate on a substrate. A solvent is evaporated to form an ion selecting film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—24244

⑤ Int. Cl.³
G 01 N 27/30

識別記号

庁内整理番号
F 7363—2G

⑬ 公開 昭和59年(1984)2月7日

発明の数 2
審査請求 未請求

(全 4 頁)

⑭ 電界効果トランジスタ形マルチイオンセンサ
およびその製造方法

地株式会社日立製作所中央研究
所内

⑯ 発明者 高田芳矩

国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内

⑰ 特 願 昭57—133686

⑱ 出 願 昭57(1982)8月2日

⑲ 発明者 宮城宏行

国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内

⑳ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5
番1号

㉑ 発明者 丸泉琢也

国分寺市東恋ヶ窪1丁目280番

㉒ 代理人 弁理士 高橋明夫

明 細 書

発明の名称 電界効果トランジスタ形マルチ
イオンセンサおよびその製造方法

特許請求の範囲

1. 基板上に複数のイオン選択性絶縁ゲート型電
界効果トランジスタを形成したマルチイオンセン
サにおいて、ウェル状あるいは島状P形シリコン
の表層部にN形シリコンドレーン・ソース部を形
成し、該上部を酸化膜及び絶縁膜で被覆したセン
サユニットを上記基板上に複数箇形成し、個々の
センサユニット毎に少なくとも1箇の比較電極用ゲ
ート膜と複数のイオン選択電極用ゲート膜を形成
したことを特徴とする電界効果トランジスタ形マ
ルチイオンセンサ。

2. シリコンあるいはサファイアからなる基板上
にウェル状P形シリコンあるいは島状P形シリ
コンを複数箇形成する第1のステップと、前記P形
シリコンの表層部にn形シリコンあらなるドレ
ン・ソース部を形成する第2のステップと、該第2
のステップの形成後、上部を酸化膜および絶縁膜

で被覆してセンサユニットを形成する第3のステ
ップと、個々のセンサユニットの感応ゲート上に
イオン選択性を有しない高分子膜材を適当な揮発
性溶媒に溶解した液体あるいは少くともイオン選
択性物質と高分子膜材とを適当な揮発性溶媒に溶
解した液体をノズルを用いて前記ゲート部相当の
粒径としこれを直接あるいは前記感応ゲート部相
当位置に開口部を有するマスク材を介して前記感
応ゲートに噴きつける第4のステップと、第4の
ステップの噴きつけ後前記溶媒を蒸発させて少く
とも1箇の比較電極用ゲート膜と複数のイオン選
択電極を形成する第5のステップとからなること
を特徴とする電界効果トランジスタ形マルチイ
オンセンサの製造方法。

発明の詳細な説明

本発明は電界効果トランジスタ(以下、FET
と称す)を利用したイオンセンサに係り、特に、
マルチイオンセンサと、その製造方法に関する。

FETを利用したイオンセンサは Bergfeld
によつて原理が確認されて以来、各種イオンを選

(1)

(2)

択的に検出できるものが開発されている。このイオンセンサは、感応ゲートにイオン選択膜を塗付して作られる。この感応ゲートに有機材からなるイオン選択膜を塗付する方法としてはディップコート法や直接キャスティング法が知られている (U. Oesch, S. Caras and J. Janata; Field Effect Transistors Sensitive to Sodium and Ammonium, Anal. Chem., 1981, 53, 1983 - 1986)。また、無機材を塗付する方法としてはCVD (Chemical Vapor Deposition) 法やディップコート法が用いられている。

これまでに報告された例はいずれも、基板上に1ヶあるいは2ヶのFETゲートを形成し、イオン感応ゲートを1ヶ形成したものである。したがって、1枚の共通基板上に複数ヶの感応ゲートを有するマルチセンサについては従来のイオン感応ゲート形成方法によつたのでは、各ゲート用を相互の干渉が生じないよう独立させることが困難である。

(3)

ンタクト5も基板上に蒸着法などで形成されている。センサユニット2の大きさは $50\mu\text{m} \times (-200 \sim 400)\mu\text{m}$ 程度である。また、第2図のように共通基板をPシリコンとする場合にはFETゲートの部分を掘り下げて絶縁膜7を形成した後再びシリコンP層13を形成する。しかる後、ドレン・ソースを形成するためにn層8を拡散により形成する。ドレンソースの上部には酸化膜層9、絶縁膜層10及びイオン選択膜11を塗付してセンサユニットとする。

第3図はシリコンオンサファイア(SOS)構造からなるセンサユニットを示す。共通基板12はサファイアであり、その上部にPシリコン層7をエピタキシャル成長法で形成した。ドレン、ゲート8は拡散法で形成したもので、その上部には第2図の場合と同様に酸化膜層9、絶縁膜10、及びイオン感応膜11が塗付されている。

第4図は上記の如き方法によりセンサユニットを共通基板上に4ヶ形成したマルチイオンセンサを示す。第1ユニット21は比較電極用ゲート

(5)

本発明の目的は、共通基板上に形成した複数個のゲートにイオン選択膜を相互に重複しないように塗付し相互干渉のないFETマルチイオンセンサとその製造方法を提供することにある。

本発明は、イオン感応物質を膜母材と共に適当な溶媒に溶解した液体を小粒径の液滴として目的とするゲートにインクジェット方式で吹きつけることにより、微小部分のみ感応膜を塗布し、イオン感応物質の種類を種々変えて繰り返し塗付し、複数個の感応ゲートを独立的に形成しようというものである。

以下、本発明の実施例について説明する。

第1図から第3図までは、マルチセンサの構成単位となる1ヶのFETセンサについて示したものである。共通基板上に複数ヶの感応ゲートを形成する場合、各素子を電気的に独立させる必要がある。そこで、本発明では次のような素子構成をとることとした。

第1図に示すように共通基板1の上にセンサユニット2が形成されており、リード配線4及びコ

(4)

22を有する。該ゲートはイオン等に応答しない有機高分子膜が塗付される。他のセンサユニット23, 25, 27の各ゲートはそれぞれ異種のイオンに反応するイオン選択膜が塗付されている。

本発明によるイオン選択膜の塗付方法を第5図に示す。この方法は従来インクジェットプリンタに採用されていたもので液滴45をノズル44から間欠的に吹き出させ、帯電電極46を通した後、偏向電極47の間を通して吹き出すようにした。通常は帯電電極46及び偏向電極に電圧を印加しておき、液滴はガター48に導かれる。パルス的に帯電電極46の印加電圧を切ることにより、液滴は基板上の目的とするゲートに導かれる。この際、装置の誤動差を防ぐために小口径の開口部41を有するマスク材40を用いてもよい。溶媒を蒸発させてイオン選択膜を形成する。

本発明の発明者らは直径 1.5mm の基板からなるマルチセンサを試作した。センサユニットの大きさは $50\mu\text{m} \times 300\mu\text{m}$ とし、ゲート部分は $50\mu\text{m} \times 50\mu\text{m}$ とした。第4図の如く4ヶの

(6)

センサユニットと1ヶの金電極29を該基板上に形成した。第5図の有膜膜塗付装置を用いてゲート膜を形成した。比較電極用感応膜としてはポリイミドアミド樹脂を用い、これをジメチルホルムアミドに溶解した液体として、第5図の容器42内に入れた。イオン選択膜としては、 K^+ 電極用としてバリノマイシンを、 Na^+ 電極用合感リガンド、 Cl^- 電極用第4級アンモニウム塩をそれぞれ、可塑剤及びポリ塩化ビニル(PVC)とともにテトラヒドロフランに溶解した液体を用いた。液滴吹き出しノズルの径は $25\mu m$ とした。液滴の吹き出しには超音波発振器43を用い、通常は超音波発振器を連続的に作動させた。帯電電極の電圧をパルスの的に切る方法で各溶液をゲート上に吹きつけ、その回数で膜厚を調整した。1ヶの液滴がゲート上では直径約 $50\mu m$ の大きさに広がるので、液滴の数は1~3ヶとし、ゲート上の膜の広がりを $100\mu m$ 以内とした。液滴の塗付後、室温で溶媒を揮発させて感応膜を形成した。

本実施例に示す感応ゲートの塗付方法では、目

(7)

折膜、12…サファイア基板、13…Pシリコン、21…比較電極ユニット、23, 25, 27…イオンセンサユニット、22…比較ゲート、24, 26, 28…イオン感応ゲート、29…金電極。

代理人 弁理士 高橋明夫



的とするゲート上へのイオン選択膜及び、比較電極用膜を形成することができ、それぞれ異種のイオンセンサを形成することができる。したがって夫々のイオンセンサの選択性は単独の基板上に形成した場合と同等である。また、吹きつける液滴の数で膜厚を制御することができ、再現性のよいマルチイオンセンサを製作することができる。

以上説明したように、本発明によれば、共通基板上に形成した複数個のゲートにイオン選択膜を相互に重複しないように塗付することができ相互干渉を生じることがない。

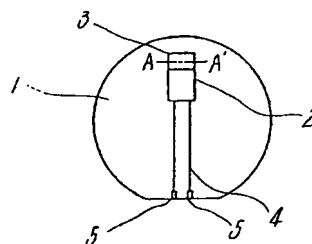
図面の簡単な説明

第1図は本発明の原理構成図、第2図及び第3図は本発明の実施例を示す図、第4図はマルチイオンセンサの実施例を示す図、第5図はゲート形成方法を示す図である。

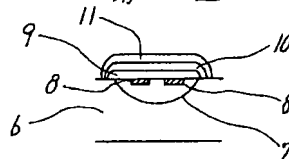
1…基板、2…センサユニット(FET)、3…感応ゲート、4…リード、5…コンタクト、6…Pシリコン基板、7…絶縁膜、8…ドレン、ソース、9…酸化膜、10…絶縁膜、11…イオン過

(8)

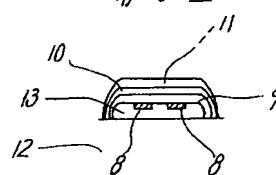
第1図



第2図

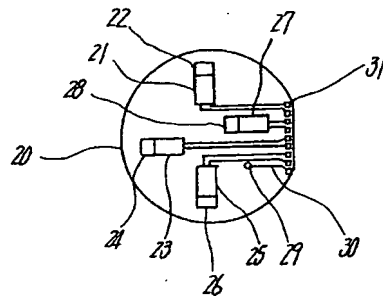


第3図



(9)

第 4 図



第 5 図

